

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-171617

⑤ Int. Cl.⁵
H 01 L 21/205

識別記号 庁内整理番号
7739-5F

⑬ 公開 平成3年(1991)7月25日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 シリコン基板上へのⅢ-V族化合物半導体のエピタキシャル成長方法

⑮ 特 願 平1-311022

⑯ 出 願 平1(1989)11月29日

⑰ 発 明 者 菅 生 繁 男 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

シリコン基板上へのⅢ-V族化合物半導体のエピタキシャル成長方法

特許請求の範囲

シリコン単結晶表面を一部露出した絶縁膜層をシリコン単結晶基板上に形成する第1の工程と、前記基板表面にⅢ-V族化合物半導体層を、前記絶縁膜層を選択成長マスクとしてエピタキシャル成長させる第2の工程とからなるシリコン単結晶基板上への化合物半導体層の成長方法。

発明の詳細な説明

〔産業上の利用分野〕

シリコン基板上のⅢ-V族化合物半導体のエピタキシャル成長方法に関する。

〔従来の技術〕

シリコン単結晶基板上に砒化ガリウム等のⅢ-V

族化合物半導体層を成長させる際に、表面清浄化が困難であること、大きな格子定数差を有すること、シリコンが共有結合性結晶であるのに対しⅢ-V族化合物半導体が分極性結晶であること等の問題がある。これらの問題のためシリコン基板上に成長した化合物半導体層は 10^8 cm^{-3} 程度の高い転位密度を有しデバイス作製に十分な品質を得ることが困難であった。しかし、これらの問題を低減する手法として、高温での基板表面~~上~~酸化、亜超格子層からなるバッファ層、基板方位の傾斜等の方法がある。これらの手法を用いたシリコン基板上への化合物半導体層のエピタキシャル成長の例が応用電子物性分科会研究報告(同報告書、№424、p. 12)に報告されている。この従来例ではシリコン単結晶基板上にInP単結晶層を成長させており、エッチビット密度として 10^7 cm^{-3} が得られている。

〔発明が解決しようとする課題〕

しかしながら、転位に比較的敏感なデバイスで

BEST AVAILABLE COPY

ある半導体レーザや発光ダイオードではエッチビット密度を 10^5 cm^{-2} 以下に抑える必要があるため、従来の成長法による結晶品質では発光素子への応用が困難であった。

本発明は、シリコン単結晶基板上に転位の少ない化合物半導体層をエピタキシャル成長させることを目的とする。

〔課題を解決するための手段〕

本発明のエピタキシャル成長方法は、シリコン単結晶表面を一部露出した絶縁膜層をシリコン単結晶基板上に形成する第1の工程と、前記基板表面にⅢ-V族化合物半導体層を、前記絶縁膜層を選択成長マスクとしてエピタキシャル成長させる第2の工程とからなることを特徴とする構成とした。

〔作用〕

本発明によるシリコン基板上へのⅢ-V族化合物半導体のエピタキシャル成長方法では、第1の工程で形成した、シリコン単結晶表面を一部露出

した絶縁膜層を選択成長マスクとして用い、第2の工程で化合物半導体層を選択的にエピタキシャル成長させる。この結果、デバイス形成に必要な領域にのみ化合物半導体層を形成することになり、従来基板全面にエピタキシャル成長させた場合に比べ著しく基板表面における化合物半導体層の表面積の割合が低減できる。その結果、第1に、シリコン基板と化合物半導体層との熱膨張率の違いによって成長温度から室温までに下げる間に発生する歪及び転位が著しく低減される。これは、この転位の原因となる歪の大きさがシリコン基板と化合物半導体層との界面の面積に依存するためである。第2の格子定数差に起因する歪が緩和され転位の発生が低減される。これは成長面と平行な方向の成長層の格子間隔が全面成長に比べて微小な領域では変化し易いためである。

〔実施例〕

以下、図面を用いて本発明の実施例を説明する。

第1図は本発明の実施例を説明する工程図であ

る。本実施例ではシリコン単結晶基板上に燐化インジウム単結晶層をエピタキシャル成長させる場合について説明する。

まず第1の工程として〈110〉方向に2°傾けた(100)面を表面とするシリコン単結晶基板1の上に熱CVD法により厚さ200nmの SiO_2 絶縁膜層2を積層したのち、通常のフォトリソグラフィと化学エッチングの手法により $10 \mu\text{m} \times 10 \mu\text{m}$ の窓状に露出させたシリコン単結晶表面3を $300 \mu\text{m} \times 300 \mu\text{m}$ に1個の割合で形成した(第1図(a))。つぎに第2の工程として SiO_2 絶縁膜層2を選択成長マスクとして用い、 SiO_2 絶縁膜層2の開口部底部に露出しているシリコン単結晶表面3に選択的に砒化ガリウムバッファ層4と燐化インジウム層5を順次エピタキシャル成長させた(第1図(b))。

本実施例では選択成長特性を有するエピタキシャル成長方法としてケミカルビームエピタキシャル成長法を用いた。Ⅲ族材料にはトリエチルガリウム(略称TEG、分子式 $(\text{C}_2\text{H}_5)_3\text{Ga}$)、およ

びトリエチルインジウム(略称TEI、分子式 $(\text{C}_2\text{H}_5)_3\text{In}$)を用い、V族材料にはアルシン(分子式 AsH_3)及びホスフィン(分子式 PH_3)を用い、これらのガスを高真空中で成長温度に加熱保持されたシリコン単結晶基板1に照射してエピタキシャル成長させた。砒化ガリウムバッファ層4の成長にはトリエチルガリウムとアルシンを、また、燐化インジウム層5の成長にはトリエチルインジウムとホスフィンをそれぞれ用いた。転位低減のための一般的な手法である、高温(1000℃)での表面清浄化、砒化ガリウムバッファ層もしくは亜超格子バッファ層を用いた。

こうして形成した燐化インジウム層5は成長面積及び表面積が $10 \mu\text{m} \times 10 \mu\text{m}$ 及び0.1%程度と非常に小さいため転位密度は 10^5 cm^{-2} 以下に低減できる。従って、転位に比較的敏感なデバイスである半導体レーザや発光ダイオード等の発光素子への応用が可能となる。

上記実施例では燐化インジウム層を成長させたが

砒化ガリウム等、他のⅢ-V族化合物半導体層の場合においても同様の効果が得られる。

上記実施例では選択成長特性を有する成長方法としてケミカルビームエピタキシャル成長法を用いたが、ハイドライド気相成長法等、選択成長特性を有する他の成長方法を用いてもよい。

〔発明の効果〕

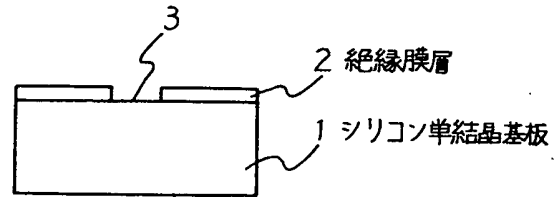
本発明によれば、シリコン単結晶基板との熱膨張係数差、格子不整による転位が微小領域への選択成長によって低減されるために、従来技術に比べ結晶性が向上する。

図面の簡単な説明

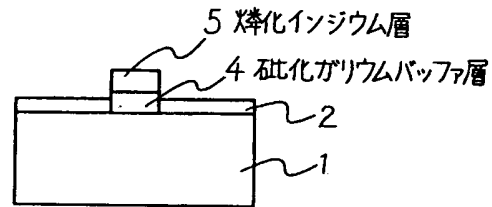
第1図は本発明の一実施例を説明する工程図である。

1…シリコン単結晶基板、2… SiO_2 絶縁膜層、3…シリコン単結晶表面、4…砒化ガリウムバッファ層、5…燐化インジウム層。

代理人 弁理士 内原 晋



(a)



(b)

第1図

CLIPPEDIMAGE= JP403171617A

PAT-NO: JP403171617A

DOCUMENT-IDENTIFIER: JP 03171617 A

TITLE: EPITAXIAL GROWTH METHOD OF III-V COMPOUND
SEMICONDUCTOR ON SILICON
SUBSTRATE

PUBN-DATE: July 25, 1991

INVENTOR-INFORMATION:

NAME

SUGAO, SHIGEO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP01311022

APPL-DATE: November 29, 1989

INT-CL (IPC): H01L021/205

US-CL-CURRENT: 117/104,438/FOR.264

ABSTRACT:

PURPOSE: To reduce the transposition due to
difference in thermal expansion
coefficient between a silicon single crystal
substrate and an insulating film
layer and lattice mismatching, and to improve

BEST AVAILABLE COPY

crystallizability by a method wherein a III-V compound semiconductor layer is epitaxially grown on the surface of a silicon single crystal substrate, on which an insulating film layer is formed in such a manner that a part of silicon single crystal surface is partially exposed, using the insulating film layer as a selective growth mask.

CONSTITUTION: After an SiO_2 insulating film layer 2 has been laminated on a silicon single crystal substrate 1 having the face (100) which is tilted by 2° in $\langle 110 \rangle$ direction, a window-like exposed silicon single crystal surface 3 is formed. Using triethylgallium and triethylindium as III group material, and also using arsine and phosphine as V-group material, a gallium arsenide buffer layer and an indium phosphide layer 5 are epitaxially grown successively by projecting the above-mentioned materials on the silicon single crystal surface 3 exposed on the bottom part of the aperture section of the SiO_2 insulating film layer 2 which is heated up to growth temperature and maintained in that state in a vacuum atmosphere using the SiO_2 insulating film layer 2 as a selective growth mask.

The indium phosphide layer formed as above has a very small growth area and a surface area, and its transition density can be reduced.

COPYRIGHT: (C)1991, JPO&Japio

BEST AVAILABLE COPY